

10/084,148



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年12月27日

出願番号

Application Number:

特願2001-398386

[ST.10/C]:

[JP2001-398386]

出願人

Applicant(s):

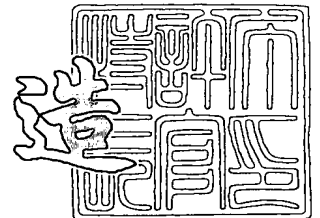
株式会社東芝

RECEIVED
APR 15 2002
TECHNOLOGY CENTER 2800

2002年 2月 8日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2002-3005584

【書類名】 特許願

【整理番号】 A000106069

【提出日】 平成13年12月27日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/08

【発明の名称】 半導体装置

【請求項の数】 13

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
 浜事業所内

 【氏名】 大黒 達也

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100084618

 【弁理士】

 【氏名又は名称】 村松 貞男

【選任した代理人】

 【識別番号】 100068814

 【弁理士】

 【氏名又は名称】 坪井 淳

【選任した代理人】

 【識別番号】 100092196



【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板の表面領域内に形成された第 1 導電型のウェル領域と、

前記ウェル領域内に形成された複数の素子分離領域と、

前記素子分離領域により分離された前記ウェル領域の第 1 の領域内に形成され、コンデンサの第 1 の電極としての第 2 導電型の半導体層と、

前記ウェル領域の底部に設けられ、前記ウェル領域の抵抗値より低い第 1 導電型の低抵抗領域と

を具備することを特徴とする半導体装置。

【請求項 2】 前記低抵抗領域は、前記半導体層と前記ウェル領域の接合部分の空乏層に接触せず、前記素子分離領域に接触することを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記素子分離領域により分離された前記ウェル領域の第 2 の領域内に形成され、コンデンサの第 2 の電極としての第 1 導電型の半導体層をさらに具備し、前記低抵抗領域は前記ウェル領域の底部において、前記第 1 導電型の半導体層から第 2 導電型の半導体層に亘って配置されていることを特徴とする請求項 2 記載の半導体装置。

【請求項 4】 半導体基板と、

前記半導体基板の表面領域内に形成された第 1 導電型のウェル領域と、

前記ウェル領域内に形成された複数の素子分離領域と、

前記素子分離領域により分離された前記ウェル領域の第 1 の領域内に形成された MOS トランジスタと、

前記ウェル領域の底部に設けられ、前記ウェル領域の抵抗値より低い第 1 導電型の低抵抗領域と

を具備することを特徴とする半導体装置。

【請求項 5】 前記低抵抗領域は、前記 MOS トランジスタのソース／ドレイン領域と前記ウェル領域の接合部分の空乏層に接触せず、前記素子分離領域に

接触することを特徴とする請求項 4 記載の半導体装置。

【請求項 6】 前記素子分離領域により分離された前記ウェル領域の第 2 の領域内に形成された第 1 導電型の半導体層をさらに具備し、前記低抵抗領域は前記ウェル領域の底部において、前記第 1 導電型の半導体層から第 2 導電型の半導体層に亘って配置されていることを特徴とする請求項 5 記載の半導体装置。

【請求項 7】 半導体基板と、
前記半導体基板の表面領域内に形成された第 1 導電型のウェル領域と、
前記ウェル領域内に形成された複数の素子分離領域と、
前記素子分離領域により分離されたバイポーラトランジスタの第 1 の電極としての前記ウェル領域上に形成された第 2 導電型のベース層と、
前記ベース層の上に形成された第 1 導電型の第 2 の電極と、
前記ウェル領域の底部に設けられ、前記ウェル領域の抵抗値より低い第 1 導電型の低抵抗領域と
を具備することを特徴とする半導体装置。

【請求項 8】 前記低抵抗領域は、前記バイポーラトランジスタのソース／ドレイン領域と前記ウェル領域の接合部分の空乏層に接触せず、前記素子分離領域に接触することを特徴とする請求項 7 記載の半導体装置。

【請求項 9】 前記素子分離領域により分離された前記ウェル領域の第 2 の領域内に形成された第 1 導電型の半導体層をさらに具備し、前記低抵抗領域は前記ウェル領域の底部において、前記第 1 導電型の半導体層から第 2 導電型の半導体層に亘って配置されていることを特徴とする請求項 8 記載の半導体装置。

【請求項 10】 半導体基板と、
前記半導体基板の表面領域内に形成された第 1 導電型のウェル領域と、
前記半導体基板の表面領域内に形成された第 2 導電型のウェル領域と、
前記第 1 のウェル領域内に形成されたアナログ回路と、
前記第 2 のウェル領域内に形成されたデジタル回路と、
前記第 1 のウェル領域の底部に設けられ、前記第 1 のウェル領域の抵抗値より低い第 1 導電型の低抵抗領域と
を具備することを特徴とする半導体装置。

【請求項 1 1】 前記低抵抗領域の不純物濃度は、前記ウェル領域の不純物濃度の 2 倍以上に設定されていることを特徴とする請求項 3、6、10 のいずれかに記載の半導体装置。

【請求項 1 2】 前記低抵抗領域の不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上に設定されていることを特徴とする請求項 3、6、10 のいずれかに記載の半導体装置。

【請求項 1 3】 前記アナログ回路が設けられた第 1 のウェル領域の不純物濃度は、前記デジタル回路が設けられた第 2 のウェル領域の不純物濃度より高く設定されていることを特徴とする請求項 10 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えばアナログ回路に用いられる可変容量コンデンサ及び増幅器に適用される半導体装置に関する。

【0002】

【従来の技術】

例えば電圧制御発振器は、可変容量コンデンサを含み、この可変容量コンデンサの容量を変化することにより、所要の周波数の信号を発振可能とされている。電圧制御発振器は、フェーズノイズ(phase noise)を低減するため、高いQ値が要求される。これを実現するため、可変容量コンデンサの特性は、低い寄生容量及び低い寄生抵抗が要求される。

【0003】

【発明が解決しようとする課題】

一般に、この可変容量コンデンサは、N型のウェル領域内に形成された P^+ 型の半導体層の接合部分、あるいはP型ウェル領域内に形成された N^+ の接合部分を用いて構成される。

【0004】

図17は、N型のウェル領域を用いた可変容量コンデンサの一例を示している。例えばP型の半導体基板100の表面領域にN型のウェル領域101が形成さ

れている。このN型のウェル領域101内には、 P^+ 型の半導体層102、 N^+ 型の半導体層103が形成されており、 P^+ 型の半導体層102とN型のウェル領域101の接合部分を用いて可変容量コンデンサ104が構成されている。各半導体層102、103には配線105が接続されている。この可変容量コンデンサ104において、寄生容量としては配線105間の容量106、寄生抵抗としては配線抵抗（図示せず）、ウェル領域の抵抗（以下、ウェル抵抗とも言う）107が支配的である。

【0005】

デバイスのデザインルールの進歩に伴い、 P^+ 型の半導体層102と N^+ の半導体層103間のスペースを小さくできるようになっている。これにより、ウェル領域101の寄生抵抗を低減することが可能である。しかし、 P^+ 型の半導体層102と N^+ の半導体層103間のスペースを小さくした場合、配線105間の距離も狭まる。この結果、寄生容量としての配線間容量107が増大する。

【0006】

図18は、 P^+ 型の半導体層102と N^+ の半導体層103間に印加されるバイアス電圧と容量の変化の様子を示している。図18に示すように、寄生容量が増大すると、バイアス電圧に応じた容量の可変範囲が低減してしまう。したがって、配線間容量を低減するため、 P^+ 型の半導体層102と N^+ の半導体層103間のスペースを広げて可変容量コンデンサを形成する必要がある。これは、ウェル抵抗を低減できないことを意味している。

【0007】

一方、寄生抵抗は、抵抗値に比例する熱雑音の発生源となる。これは例えば電圧制御発振器においてQ値を低下させ、位相フェーズノイズ(phase noise)の劣化を引き起こす。

【0008】

また、図19に示すように、増幅器を構成するMOSトランジスタ（以下、MOSFETと称す）は、P型のウェル領域110の抵抗が大きい場合パワーロスが生じ、高利得な増幅器を構成することが困難となる。一般に、この種の増幅器は、デジタル回路と混載される。しかし、現状のデジタル回路に使用されている

ウェルの抵抗は、増幅器の利得を下げることとなる。

【 0 0 0 9 】

図 2 0 は、ウェル抵抗と利得との関係を示している。現状のアナログ／デジタル混載半導体装置において、デジタル部で使用されているウェルの抵抗値は例えば 5 0 Ω である。このウェル抵抗の場合、高い利得を得ることが困難である。同図から明らかなように、利得を上げるためには、ウェル抵抗を上げるか、下げなければいけない。ウェル抵抗を上げるためには、高抵抗基板を用いることが考えられる。しかし、高抵抗基板は、ウェハ内にスリップが生じるなどの問題がある。また、ウェル抵抗を下げるためには低抵抗基板を用いることが考えられる。

【 0 0 1 0 】

図 2 1 は、低抵抗基板を用いたアナログ／デジタル混載半導体装置の一例を示している。低抵抗基板としての P^+ 基板 1 2 0 内にウェル領域 1 2 1、1 2 2 を形成し、このウェル領域 1 2 1、1 2 2 内にアナログ回路とデジタル回路を形成している。このように、低抵抗基板を用いた場合、ウェル抵抗を低下できる。しかし、ウェル抵抗を低くした場合、デジタル回路からアナログ回路にノイズが侵入し、アナログ回路の特性に悪影響を与えることとなる。

【 0 0 1 1 】

図 2 2 は、ウェル抵抗と侵入ノイズ量の関係を示している。このように、侵入ノイズ量はウェル抵抗が低いほど多くなる。このため、アナログ／デジタル混載半導体装置において、低抵抗基板を採用することができない。

【 0 0 1 2 】

本発明は、上記課題を解決するためになされたものであり、その目的とするところは、回路素子の種類に応じてウェルの抵抗値を設定することにより、回路素子の特性を向上することが可能な半導体装置を提供しようとするものである。

【 0 0 1 3 】

【課題を解決するための手段】

本発明の半導体装置は、上記課題を解決するため、半導体基板と、前記半導体基板の表面領域内に形成された第 1 導電型のウェル領域と、前記ウェル領域内に

形成された複数の素子分離領域と、前記素子分離領域により分離された前記ウェル領域の第1の領域内に形成され、コンデンサの第1の電極としての第2導電型の半導体層と、前記ウェル領域の底部に設けられ、前記ウェル領域の抵抗値より低い第1導電型の低抵抗領域とを具備している。

【0014】

また、本発明の半導体装置は、半導体基板と、前記半導体基板の表面領域内に形成された第1導電型のウェル領域と、前記ウェル領域内に形成された複数の素子分離領域と、前記素子分離領域により分離された前記ウェル領域の第1の領域内に形成されたMOSトランジスタと、前記ウェル領域の底部に設けられ、前記ウェル領域の抵抗値より低い第1導電型の低抵抗領域とを具備している。

【0015】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

【0016】

(第1の実施形態)

図1は、本発明の第1の実施形態に係る可変容量コンデンサを示している。この可変容量コンデンサ10は、例えばN型のウェル領域13とP⁺型の半導体層15の接合部分を用いている。

【0017】

例えばP型の半導体基板11は、例えば5Ωの抵抗を有している。この基板11の表面領域内には、例えばSTI (Shallow Trench Isolation) からなる複数の素子分離領域12が形成されている。これら素子分離領域12の形成された半導体基板11の表面領域内には、ウェル領域13が形成されている。素子分離領域12により分離されたウェル領域13の第1の領域内には、P⁺型の半導体層15が形成されている。この半導体層15の周囲に位置する第2の領域には、N⁺型の半導体層14が形成されている。P⁺型の半導体層15は可変容量コンデンサの第1の電極を構成し、N⁺型の半導体層14は第2の電極を構成する。

【0018】

また、前記ウェル領域13の底部には、例えばN型の低抵抗領域16が形成さ

れている。この低抵抗領域 1 6 は、ウェル領域 1 3 より不純物濃度が高く設定され、前記ウェル領域 1 3 の抵抗値より低く設定されている。具体的には、低抵抗領域 1 6 の不純物濃度は、ウェル領域 1 3 の不純物濃度の例えば 2 倍以上、あるいは $1 \times 10^{18} \text{ cm}^{-3}$ 以上に設定される。この低抵抗領域 1 6 は、例えば P^+ 型の半導体層 1 5 とウェル領域との接合部分の空乏層に接触せず、各素子分離領域 1 2 の底部に接触している。

【 0 0 1 9 】

次に、上記可変容量コンデンサの製造方法について説明する。

【 0 0 2 0 】

図 2 に示すように、例えば P 型の半導体基板 1 1 の表面領域に STI からなる複数の素子分離領域 1 2 が形成される。この素子分離領域 1 2 は周知の工程により製造される。すなわち、先ず基板 1 1 の表面にトレンチが形成される。次に、基板 1 1 の全面に例えば CVD (Chemical Vapor Deposition) によりシリコン酸化膜が堆積され、トレンチがシリコン酸化膜によって埋め込まれる。次いで、基板 1 1 上のシリコン酸化膜が例えば CMP (Chemical Mechanical Polishing) により除去される。

【 0 0 2 1 】

この後、基板 1 1 の表面領域に N 型の不純物、例えばリンがイオン注入され、 N 型のウェル領域 1 3 が形成される。このウェル領域 1 3 の深さは、素子分離領域 1 2 の深さより深く設定されている。

【 0 0 2 2 】

次に、図 3 に示すように、ウェル領域 1 3 の全面に N 型の不純物、例えばリンがイオン注入され、低抵抗領域 1 6 が形成される。イオン注入の条件は、例えば加速電圧が $1000 \sim 2000 \text{ KeV}$ 、ドーズ量が $1 \times 10^{13} \sim 1 \times 10^{14} \text{ cm}^{-2}$ である。このイオン注入の条件は一例であり、低抵抗領域 1 6 が図 1 に示すように P^+ 半導体層 1 5 の空乏層に接触せず、素子分離領域 1 2 の底部に接触する深さとなる条件であれば良い。このようにして、ウェル領域 1 3 の底部の不純物濃度が上げられる。

【 0 0 2 3 】

この後、図 1 に示すように、ウェル領域 1 3 の第 1 の領域に P 型の不純物、例えばボロンがイオン注入され、 P^+ 型の半導体層 1 5 が形成される。次いで、ウェル領域 1 3 の第 2 の領域に N 型の不純物、例えばリンがイオン注入され、 N^+ 型の半導体層 1 4 が形成される。

【 0 0 2 4 】

図 4 は、ウェル領域 1 3 内の各部の不純物濃度と深さを概略的に示しており、図 1 乃至図 3 と同一部分には同一符号を付す。

【 0 0 2 5 】

上記第 1 の実施形態によれば、可変容量コンデンサ 1 0 が形成されるウェル領域 1 3 の底部に低抵抗領域 1 6 を形成することにより、ウェル抵抗を低減している。このため、配線間容量を低減するために P^+ 型の半導体層 1 5 と N^+ の半導体層 1 4 間のスペースを広げた場合においても、ウェル抵抗を低く保持することができる。したがって、熱雑音を抑えることができる。

【 0 0 2 6 】

また、この可変容量コンデンサは熱雑音が少ないため、この可変容量コンデンサを電圧制御発振器に適用した場合、電圧制御発振器の Q 値を向上でき、フェーズノイズを低減できる。

【 0 0 2 7 】

(第 2 の実施形態)

図 5 は、本発明の第 2 の実施形態を示している。第 2 の実施形態は、第 1 の実施形態を変形したものであり、第 1 の実施形態と同一部分には同一符号を付す。

【 0 0 2 8 】

図 5 に示す可変容量コンデンサ 1 0 は、例えば P 型のウェル領域 1 7 と N^+ 型の半導体層 1 4 の接合部分を用いている。すなわち、例えば P 型の半導体基板 1 1 内に例えば P 型のウェル領域 1 7 が形成されている。ウェル領域 1 7 の中央部内には、 N^+ 型の半導体層 1 4 が形成され、この半導体層 1 4 の周囲に P^+ 型の半導体層 1 5 が形成されている。

【 0 0 2 9 】

さらに、ウェル領域 1 7 の底部には、低抵抗領域 1 8 が形成されている。この

低抵抗領域 1 8 は例えば N^+ 型の半導体層 1 4 とウェル領域 1 7 との接合部分の空乏層に接触せず、各素子分離領域 1 2 の底部に接触している。この低抵抗領域 1 8 は、例えば P 型でウェル領域 1 7 より不純物濃度が高く設定されている。具体的には、低抵抗領域 1 8 の不純物濃度は、ウェル領域 1 3 の不純物濃度の例えば 2 倍以上、あるいは $1 \times 10^{18} \text{ cm}^{-3}$ 以上に設定される。

【 0 0 3 0 】

上記構成の可変容量コンデンサの製造方法は第 1 の実施形態と同様である。低抵抗領域 1 8 の形成するためのイオン注入の条件は、例えばイオン種がボロンであり、加速電圧が $1000 \sim 2000 \text{ KeV}$ 、ドーズ量が $1 \times 10^{13} \sim 1 \times 10^{14} \text{ cm}^{-2}$ である。

【 0 0 3 1 】

上記第 2 の実施形態によっても、第 1 の実施形態と同様の効果を得ることができる。

【 0 0 3 2 】

(第 3 の実施形態)

図 6 は、本発明の第 3 の実施形態に係り、可変容量コンデンサと MOSFET からなる増幅器を示している。可変容量コンデンサ 1 0 の構成は、図 5 と同様であるため、同一部分には同一符号を付し、説明は省略する。第 3 の実施形態は、P 型のウェル領域 1 7 と N^+ 半導体層 1 4 とからなる可変容量コンデンサ 1 0 と、N チャネル MOSFET 2 0 を示している。しかし、コンデンサ及びトランジスタの導電型はこれに限定されるものではない。

【 0 0 3 3 】

図 6 において、また、MOSFET 2 0 は、P 型のウェル領域 2 1 に形成されている。すなわち、素子分離領域 1 2 により分離されたウェル領域 2 1 の第 1 の領域上にゲート酸化膜 2 2 が形成されている。このゲート酸化膜 2 2 の上に例えばポリシリコンからなるゲート電極 2 3 が形成されている。このゲート電極 2 3 の両側に位置するウェル領域 2 1 内にはソース／ドレイン領域 2 5 が形成されている。

【 0 0 3 4 】

また、素子分離領域 1 2 により分離されたウェル領域 2 1 の第 2 の領域には、 P^+ 型の半導体層 2 4 が形成されている。この半導体層 2 4 は、ウェル領域 2 1 に電圧を供給するための電圧供給ノードとして機能する。

【 0 0 3 5 】

さらに、ウェル領域 2 1 の底部には、低抵抗領域 2 6 が形成されている。この低抵抗領域 2 6 が形成される深さは、低抵抗領域 1 8 とほぼ同様である。すなわち、MOSFET 2 0 のソース／ドレイン領域の空乏層に接触せず、各素子分離領域 1 2 の底部に接触している。この低抵抗領域 2 6 は、例えば P 型でウェル領域 2 1 より不純物濃度が高く設定されている。具体的には、低抵抗領域 2 6 の不純物濃度は、ウェル領域 2 1 の不純物濃度の例えば 2 倍以上、あるいは $1 \times 10^{18} \text{ cm}^{-3}$ 以上に設定される。

【 0 0 3 6 】

次に、上記半導体装置の製造方法について説明する。

【 0 0 3 7 】

第 3 の実施形態において、可変容量コンデンサ 1 0 及び MOSFET 2 0 は同時に形成される。

【 0 0 3 8 】

図 7 に示すように、まず、例えば P 型の半導体基板 1 1 内に複数の素子分離領域 1 2 が形成される。この後、可変容量コンデンサ 1 0 の形成領域、及び MOSFET 2 0 の形成領域にそれぞれ P 型のウェル領域 1 7、2 1 が形成される。

【 0 0 3 9 】

次に、基板 1 1 の全面に P 型の不純物として、例えばボロンがイオン注入され、ウェル領域 1 7、2 1 の底部の不純物濃度が高められる。イオン注入の条件は、例えば加速電圧が $1000 \sim 2000 \text{ KeV}$ 、ドーズ量が $1 \times 10^{13} \sim 1 \times 10^{14} \text{ cm}^{-2}$ である。このようにして、ウェル領域 1 7、2 1 の底部に低抵抗領域 1 8、2 6 が形成される。

【 0 0 4 0 】

この後、図 6 に示すように、MOSFET 2 0 の形成領域において、ウェル領域 2 1 上にゲート酸化膜 2 2 が形成され、このゲート酸化膜 2 2 の上にゲート電

極 2 3 が形成される。

【 0 0 4 1 】

次いで、可変容量コンデンサ 1 0 における N^+ 半導体層 1 4 の形成と同時に、ソース／ドレイン領域 2 5 が形成される。さらに、可変容量コンデンサ 1 0 における P^+ 半導体層 1 5 の形成と同時に、電源供給ノードとしての P^+ 半導体層 2 4 が形成される。

【 0 0 4 2 】

尚、 P^+ 半導体層 1 5 及び 2 4 を先に形成し、この後、 N^+ 半導体層 1 4、及びソース／ドレイン領域 2 5 を形成してもよい。

【 0 0 4 3 】

また、低抵抗領域 1 8、2 6 は、可変容量コンデンサ 1 0、MOSFET 2 0 を形成した後に形成することも可能である。

【 0 0 4 4 】

第 3 の実施形態によれば、増幅器 2 0 が形成されるウェル領域 2 1 の底部に低抵抗領域 2 6 を形成している。このため、ウェル領域 2 1 の寄生抵抗を低減できる。したがって、パワーロス低減でき、高利得の増幅器 2 0 を構成することができる。

【 0 0 4 5 】

(第 4 の実施形態)

図 8 は、本発明の第 4 の実施形態を示している。第 4 の実施形態は第 3 の実施形態を変形したものである。

【 0 0 4 6 】

図 8 において、MOSFET 2 0 は、第 3 の実施形態と同様であり、可変容量コンデンサ 1 0 は、第 1 の実施形態と同様に、例えば N 型のウェル領域 1 3 と P^+ 型の半導体層 1 5 の接合部分を用いて可変容量コンデンサを形成している。可変容量コンデンサ 1 0 のウェル領域 1 3 には N 型の低抵抗領域 1 6 が形成され、MOSFET 2 0 のウェル領域 2 2 には P 型の低抵抗領域 2 6 が形成されている。このように、異なる導電型の低抵抗領域の形成方法について以下に説明する。

【 0 0 4 7 】

図 9 に示すように、先ず、例えば P 型の半導体基板 1 1 内に複数の素子分離領域 1 2 が形成される。この後、可変容量コンデンサの形成領域に N 型のウェル領域 1 3 が形成され、M O S F E T の形成領域に P 型のウェル領域 2 1 が形成される。すなわち、例えば M O S F E T 2 0 の形成領域上がレジスト膜 4 1 により覆われる。このレジスト膜 4 1 をマスクとして N 型の不純物、例えばリンが基板内にイオン注入され、ウェル領域 1 3 の底部に N 型の低抵抗領域 1 6 が形成される。

【 0 0 4 8 】

次いで、図 1 0 に示すように、レジスト膜 4 1 を除去した後、可変容量コンデンサの形成領域上がレジスト膜 4 2 により覆われる。このレジスト膜 4 2 をマスクとして P 型の不純物、例えばボロンが基板内にイオン注入され、ウェル領域 2 1 の底部に P 型の低抵抗領域 2 6 が形成される。イオン注入の条件は、第 2、第 3 の実施形態と同様である。

【 0 0 4 9 】

上記のようにして、低抵抗領域 1 6、2 6 を形成した後、上述した工程により可変容量コンデンサ及び M O S F E T が形成される。

【 0 0 5 0 】

第 4 の実施形態によっても第 3 の実施形態と同様の効果を得ることができる。
(第 5 の実施形態)

図 1 1、図 1 2 は、本発明の第 5 の実施形態を示している。図 1 1 は、本発明を電力増幅器に適用した例を示し、図 1 2 は図 1 1 の等価回路を示している。図 1 1 に示す増幅器の構成は基本的に図 6 に示す増幅器と同様である。すなわち、M O S F E T 2 0 が形成されるウェル領域 2 1 には、低抵抗領域 2 6 が形成されている。この低抵抗領域 2 6 は、図 1 2 に示す等価回路において、抵抗 5 1 で示されている。また、M O S F E T 2 0 の電流通路の一端部には例えばアルミニウム配線 5 3 を介して負荷抵抗 5 2 が接続されている。この負荷抵抗 5 2 は例えばゲート電極 2 3 と同時に形成され、さらに不純物が注入されて抵抗値が設定されている。

【 0 0 5 1 】



第 5 の実施形態によれば、M O S F E T 2 0 が形成されるウェル領域 2 1 の低部に低抵抗領域 2 6 が形成されている。このため、パワーロスを低減でき、高利得の電力増幅器を構成できる。

【 0 0 5 2 】

(第 6 の実施形態)

図 1 3、図 1 4 は、本発明の第 6 の実施形態を示している。図 1 3 は、可変容量コンデンサとしての可変容量ダイオードを用いた電圧制御発振器の一例を示し、図 1 4 は、図 1 3 の A 部に対応する可変容量コンデンサ 6 1 と M O S F E T 6 2 の断面図を示している。

【 0 0 5 3 】

図 1 4 に示す断面図は、基本的に図 8 に示す構成と同様である。図 1 4 において、可変容量コンデンサの P^+ 半導体層 1 5 と M O S F E T 6 2 のソースとがアルミニウム配線 6 3 を介して接続されている。

【 0 0 5 4 】

第 6 の実施形態によれば、可変容量コンデンサ 6 1 は、寄生抵抗が少なく容量の可変範囲が広く、M O S F E T 6 2 は高利得を得ることができる。このため、この可変容量コンデンサ 6 1 と M O S F E T 6 2 とを用いることにより、フェーズノイズが少なく、高性能の電圧制御発振器を構成することができる。

【 0 0 5 5 】

(第 7 の実施形態)

図 1 5 は、本発明の第 7 の実施形態を示している。第 7 の実施形態は、本発明をバイポーラトランジスタを用いた電圧制御発振器に適用した場合を示している。図 1 5 において、可変容量コンデンサ 1 0 の構成は、例えば第 1 の実施形態と同様であるため、説明は省略する。

【 0 0 5 6 】

バイポーラトランジスタ 7 0 において、基板 1 1 内には例えば N 型のウェル領域 7 1 が形成されている。この N 型のウェル領域 7 1 はコレクタ層として機能している。素子分離領域 1 2 により分離されたウェル領域 7 1 の第 1 の領域上には P 型のベース層 7 2 が形成されている。このベース層 7 2 の上には N 型のエミッ

タ層 7 3 が形成されている。また、素子分離領域 1 2 により分離されたウェル領域 7 1 の第 2 の領域上には N^+ 型の半導体層 7 4 が形成されている。この半導体層 7 4 は、コレクタ接続ノードとして機能している。

【 0 0 5 7 】

一方、ウェル領域 7 1 の底部には、N 型の低抵抗領域 7 5 が形成されている。この低抵抗領域 7 5 は、可変容量コンデンサ 1 0 の低抵抗領域 1 3 とともに形成される。低抵抗領域 7 5 の不純物濃度は MOSFET の場合と同様である。低抵抗領域 7 5 は、コレクタ・ベース間の空乏層に接することなく、素子分離領域 1 2 の底部に接する形成位置に形成される。

【 0 0 5 8 】

第 7 の実施形態によれば、バイポーラトランジスタが形成されるウェル領域 7 1 の底部に低抵抗領域 7 5 を形成している。このため、ウェル抵抗を低下することができるため、パワーロスを抑えることができ、高利得の増幅器を構成することができる。

【 0 0 5 9 】

尚、図 1 5 は NPN 型のバイポーラトランジスタを示しているが、これに限らず、この実施形態を PNP 型のバイポーラトランジスタに適用することも可能である。

【 0 0 6 0 】

(第 8 の実施形態)

図 1 6 は、本発明の第 8 の実施形態を示している。第 8 の実施形態は、本発明をアナログ／デジタル混載半導体装置に適用した場合を示している。

【 0 0 6 1 】

図 1 6 において、例えば P 型の半導体基板 8 1 は、抵抗値が例えば $30 \sim 500 \Omega$ の比較的高抵抗の基板である。この基板 8 1 の表面領域内には複数の素子分離領域 1 2 が形成されている。これら素子分離領域 1 2 により分離された第 1 の領域には例えば P 型のウェル領域 8 2 が形成され、第 2 の領域には例えば P 型のウェル領域 8 3 が形成されている。これらウェル領域 8 2、8 3 の不純物濃度は例えば等しく設定されている。ウェル領域 8 2 内にはアナログ回路 8 5 を構成す

る例えばMOSFETが形成され、ウェル領域83内にはデジタル回路86を構成する例えばMOSFETが形成されている。前記アナログ回路85が形成されたウェル領域82の底部には例えばP型の低抵抗領域84が形成されている。この低抵抗領域84の形成位置及び不純物濃度は、例えば第4、第5の実施形態と同様である。すなわち、アナログ回路85が形成されたウェル領域82の不純物濃度は、デジタル回路が形成されたウェル領域の不純物濃度の例えば2倍以上、あるいは $1 \times 10^{18} \text{ cm}^{-3}$ 以上に設定される。したがって、アナログ回路85が形成されたウェル領域82のウェル抵抗は、デジタル回路86が形成されたウェル領域83のウェル抵抗より高く設定される。

【0062】

第8の実施形態によれば、高抵抗の基板81内にアナログ回路85とデジタル回路86を形成している。このため、デジタル回路86からアナログ回路85へのノイズの侵入を防止できる。しかも、アナログ回路85が形成されたウェル領域82の底部には低抵抗領域84を形成している。このため、アナログ回路85を構成する。増幅器の利得の低下を防止できる。また、アナログ回路が、例えば可変容量コンデンサである場合、容量の可変範囲を広くすることができる。

【0063】

その他、本発明の要旨を変えない範囲において種々変形実施可能なことは勿論である。

【0064】

【発明の効果】

以上、詳述したように本発明によれば、回路素子の種類に応じてウェルの抵抗値を設定することにより、回路素子の特性を向上することが可能な半導体装置を提供できる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態に係る可変容量コンデンサを示す断面図。

【図2】

図1に示す装置の製造方法を示す断面図。

【図 3】

図 2 に続く製造工程を示す断面図。

【図 4】

図 1 の要部の不純物濃度を示す図。

【図 5】

本発明の第 2 の実施形態に係る可変容量コンデンサを示す断面図。

【図 6】

本発明の第 3 の実施形態に係る可変容量コンデンサを示す断面図。

【図 7】

図 6 に示す装置の製造方法を示す断面図。

【図 8】

本発明の第 4 の実施形態に係る可変容量コンデンサを示す断面図。

【図 9】

図 8 に示す装置の製造方法を示す断面図。

【図 1 0】

図 9 に続く製造工程を示す断面図。

【図 1 1】

本発明の第 5 の実施形態に係る増幅器を示す断面図。

【図 1 2】

図 1 1 に示す装置の等価回路図。

【図 1 3】

本発明の第 6 の実施形態に係る電圧制御発振器の一例を示す回路図。

【図 1 4】

図 1 3 の要部を示す断面図。

【図 1 5】

本発明の第 7 の実施形態に係るバイポーラトランジスタの一例を示す断面図。

【図 1 6】

本発明の第 7 の実施形態に係るアナログ／デジタル混載半導体装置の一例を示す断面図。

【図 1 7】

一般的な可変容量コンデンサの一例を示す断面図。

【図 1 8】

図 1 7 に示す可変容量コンデンサの特性を示す図。

【図 1 9】

一般的な増幅器の一例を示す断面図。

【図 2 0】

図 1 9 に示す増幅器の特性を示す図。

【図 2 1】

一般的なアナログ／デジタル混載半導体装置の一例を示す断面図。

【図 2 2】

図 2 1 に示すアナログ／デジタル混載半導体装置の特性を示す図。

【符号の説明】

- 1 0 … 可変容量コンデンサ、
- 1 1 … 半導体基板、
- 1 2 … 素子分離領域、
- 1 3 … ウェル領域、
- 1 4 … N^+ 型の半導体層、
- 1 5 … P^+ 型の半導体層、
- 1 6 … 低抵抗領域、
- 1 7 … P 型のウェル領域、
- 1 8 … 低抵抗領域、
- 2 0 … MOSFET、
- 2 1 … P 型のウェル領域、
- 2 3 … ゲート電極、
- 2 5 … ソース／ドレイン領域、
- 2 6 … 低抵抗領域、
- 6 1 … 可変容量コンデンサ、
- 6 2 … MOSFET、

7 0 …バイポーラトランジスタ、

7 5 …低抵抗領域、

8 1 …半導体基板、

8 2 …ウェル領域、

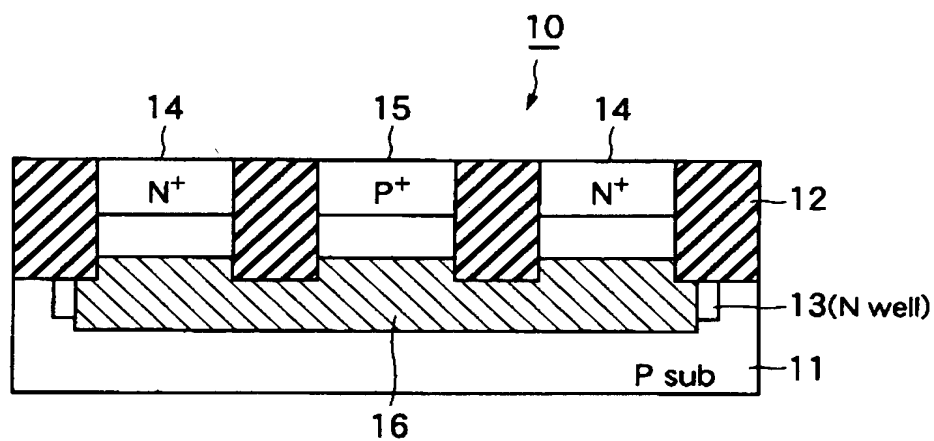
8 3 …低抵抗領域、

8 4 …アナログ回路、

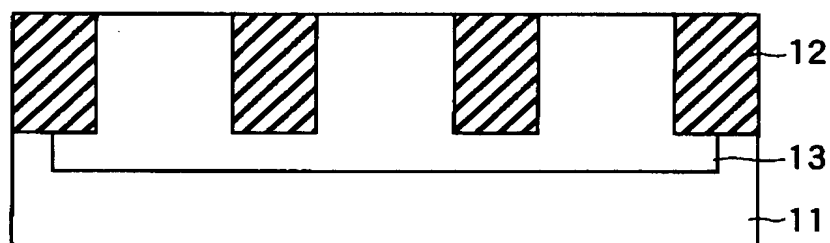
8 5 …デジタル回路。

【書類名】 図面

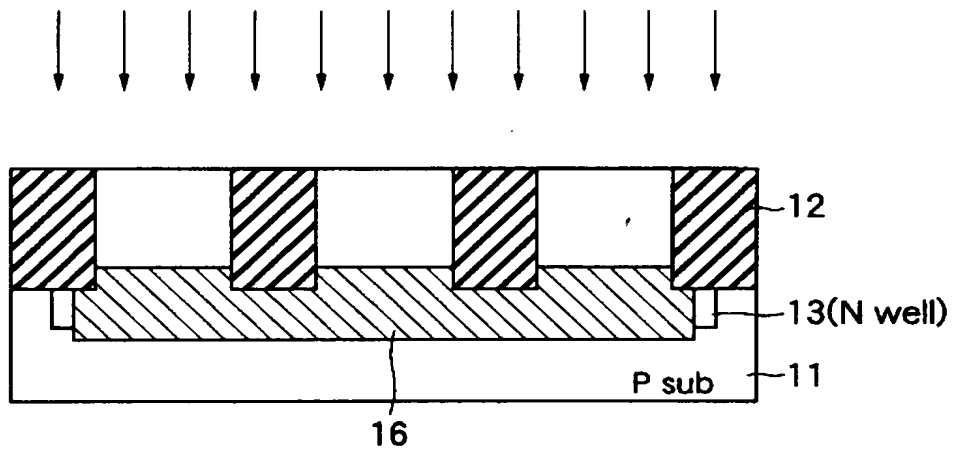
【図 1】



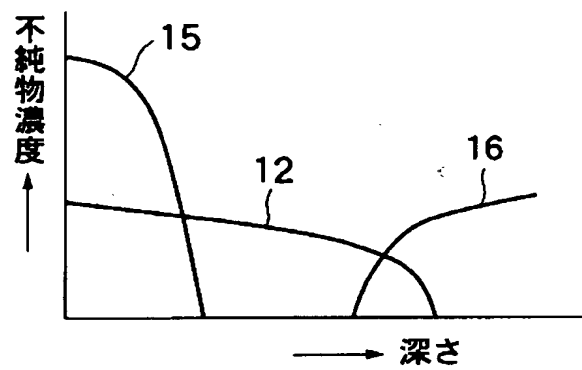
【図 2】



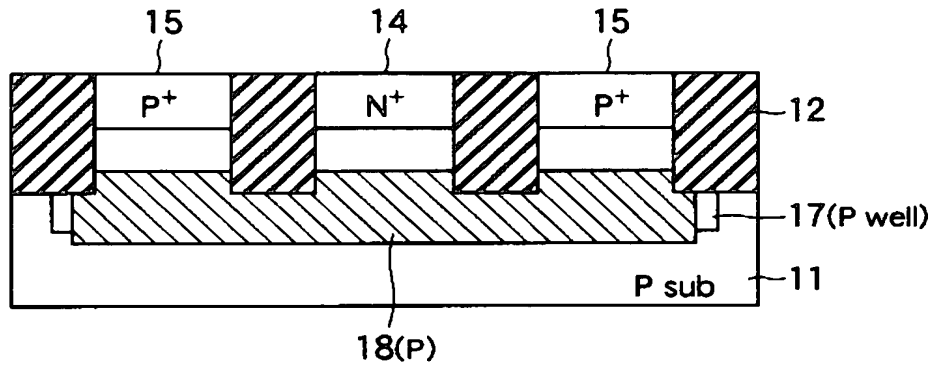
【図 3】



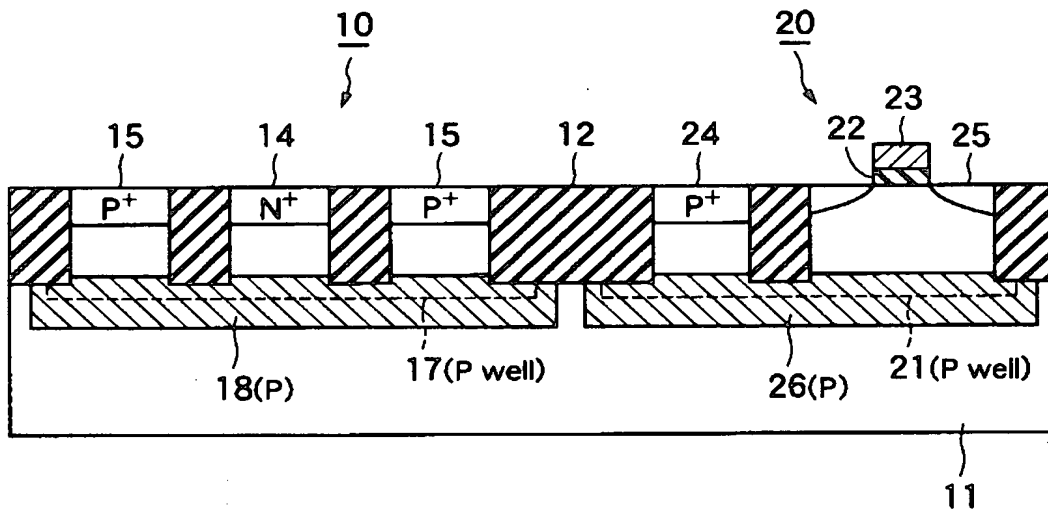
【図 4】



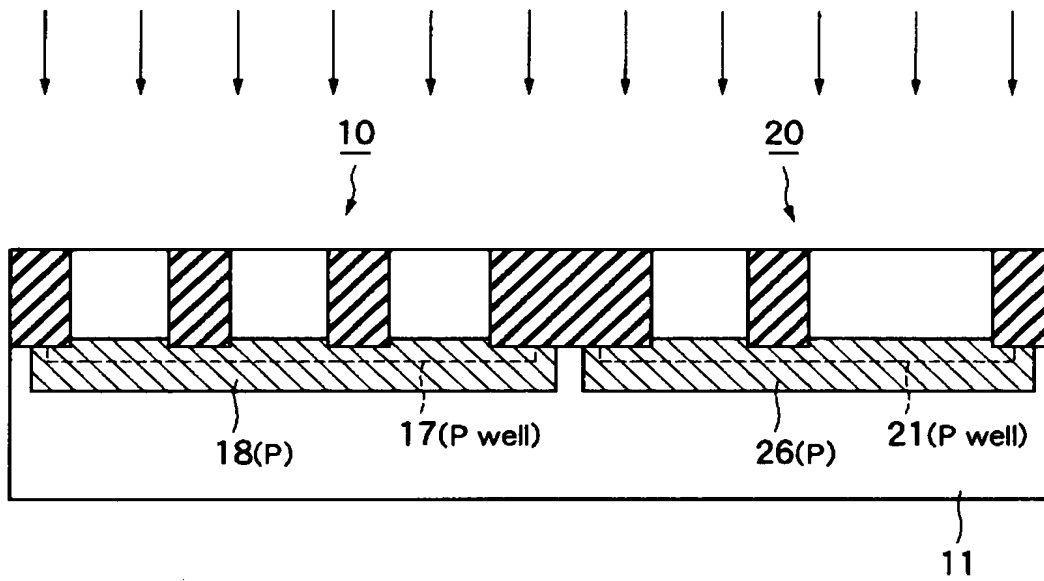
【図 5】



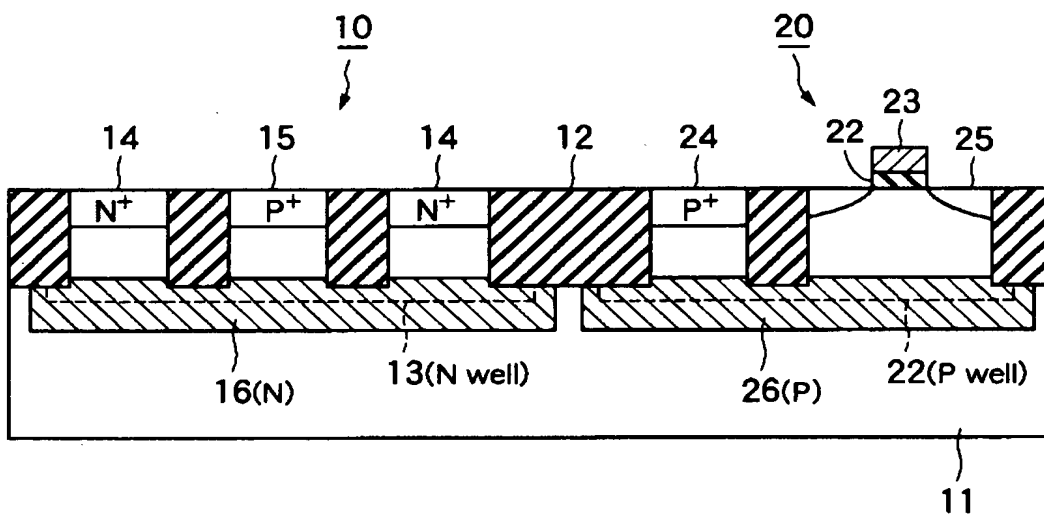
【図 6】



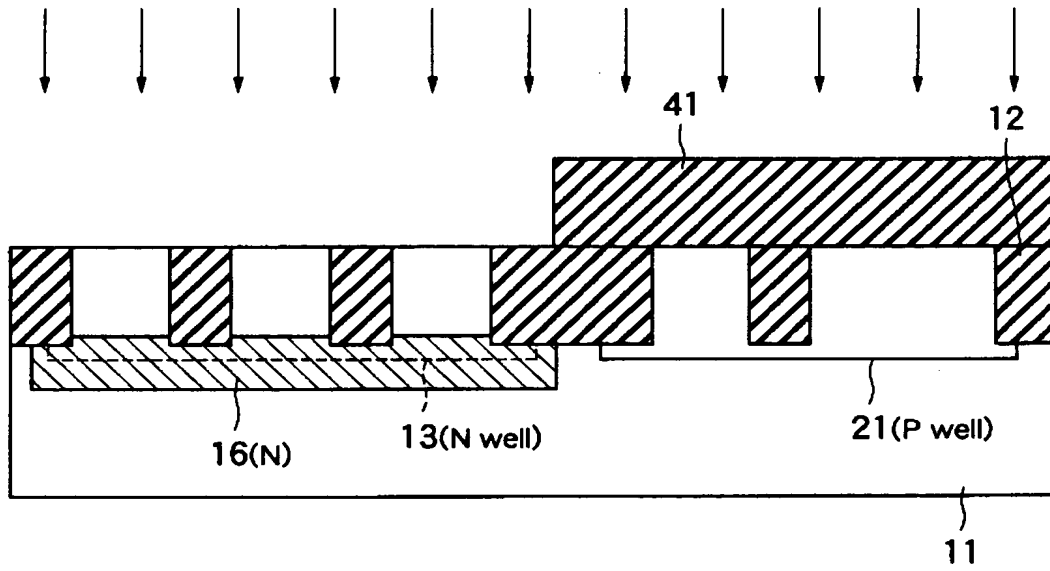
【図 7】



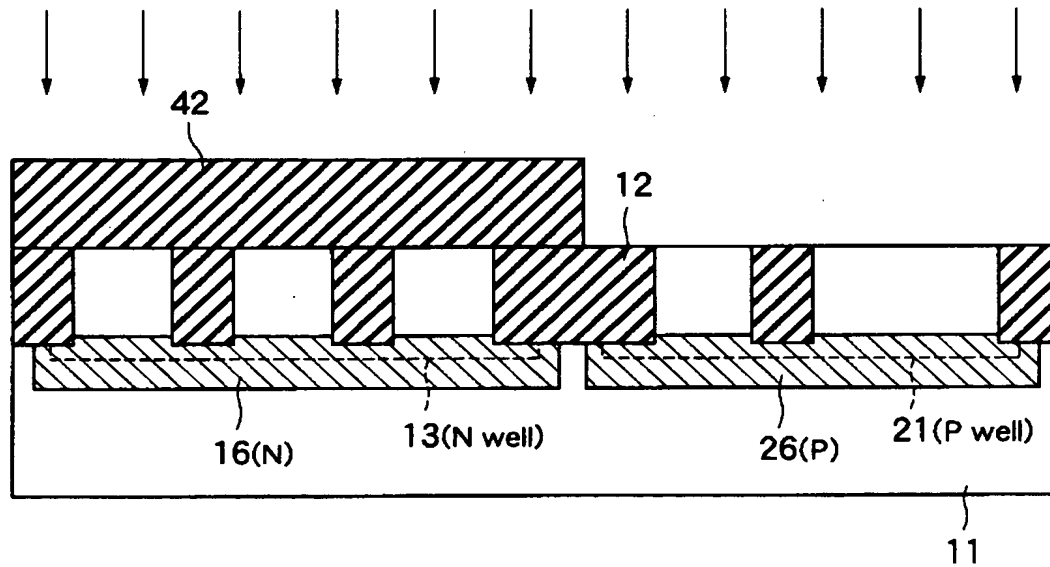
【図 8】



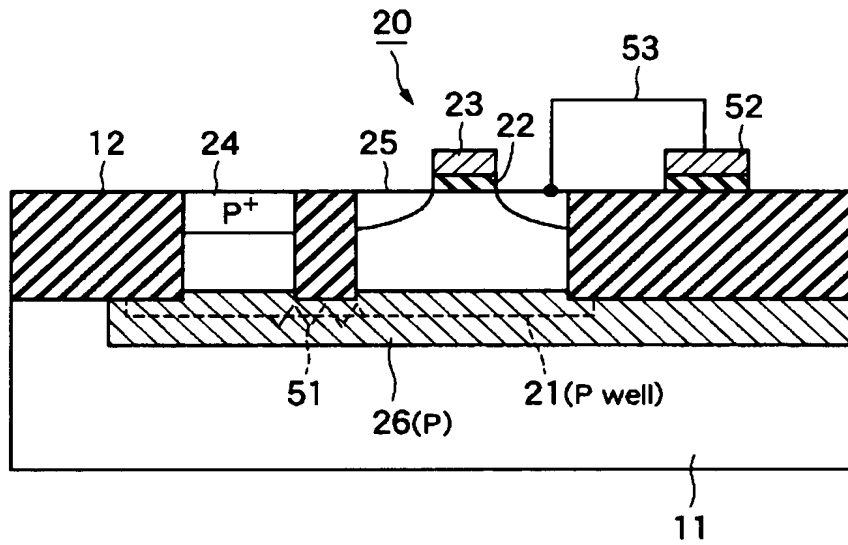
【図 9】



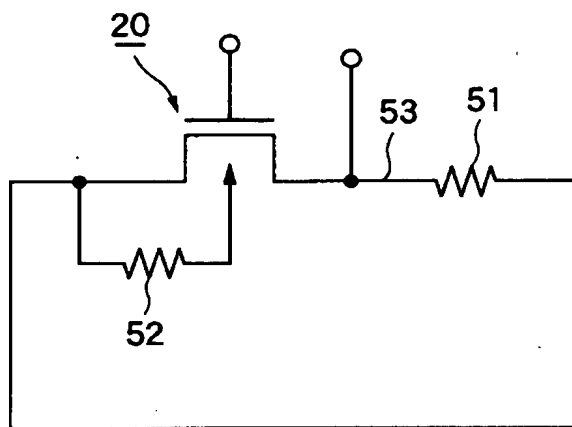
【図 1 0】



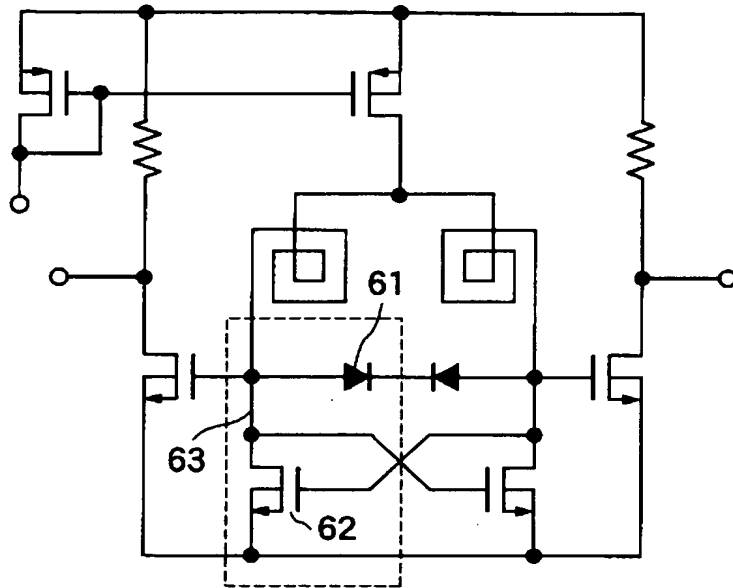
【図 1 1】



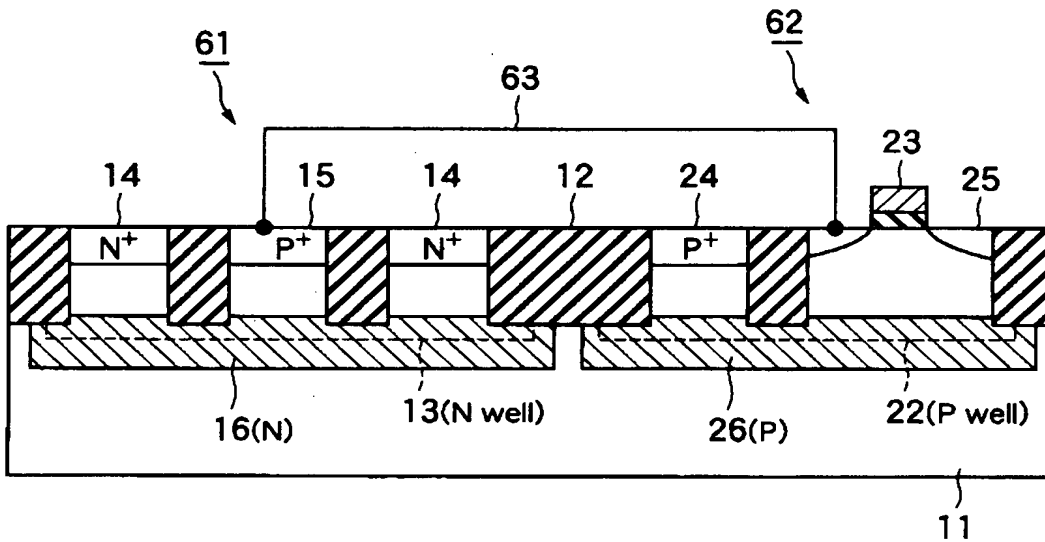
【図 1 2】



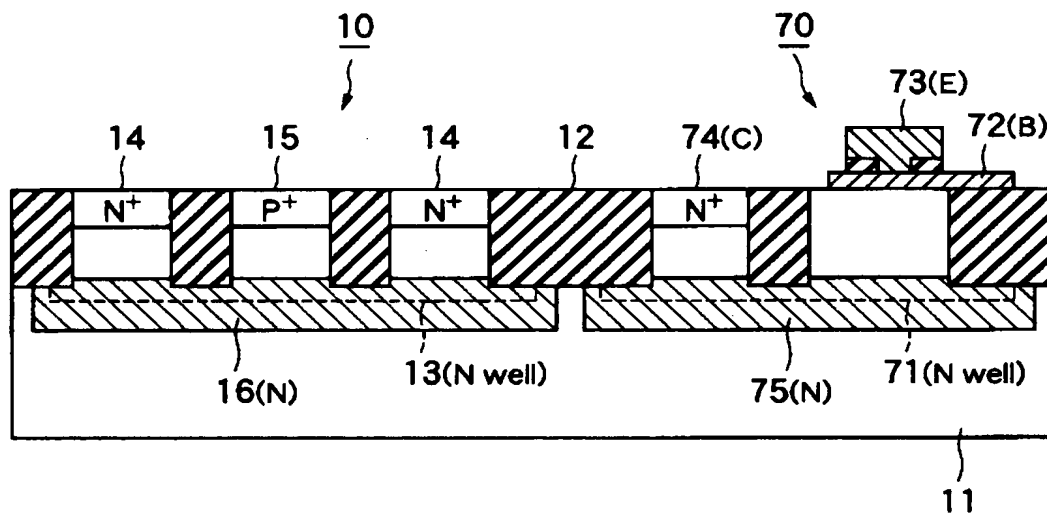
【図 1 3】



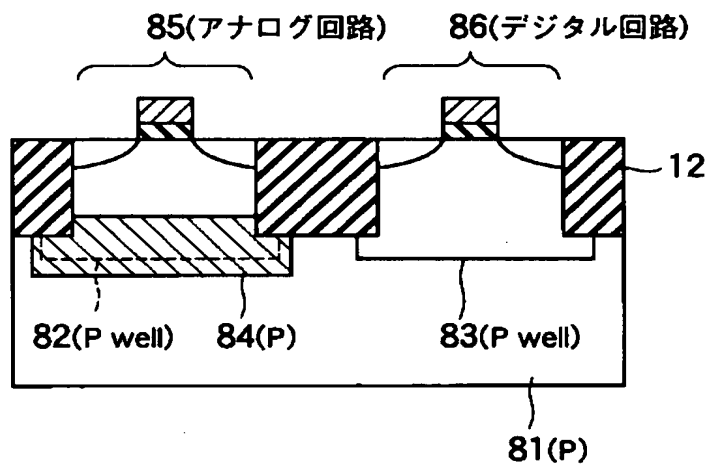
【図 1 4】



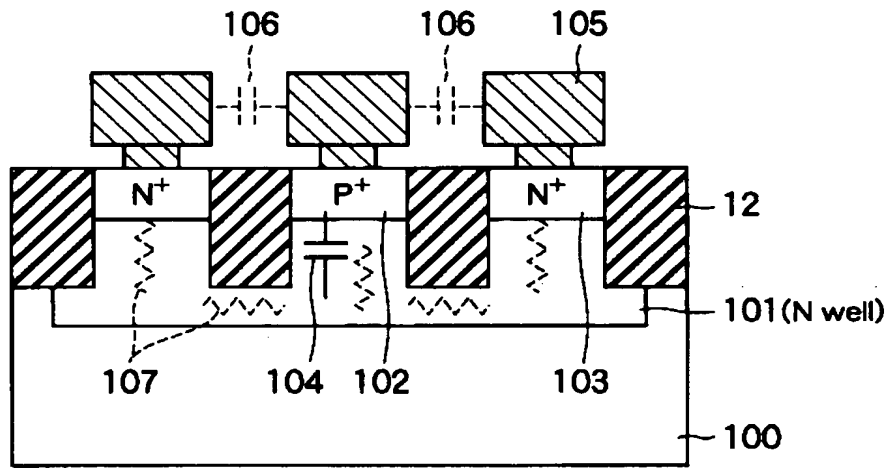
【図 1 5】



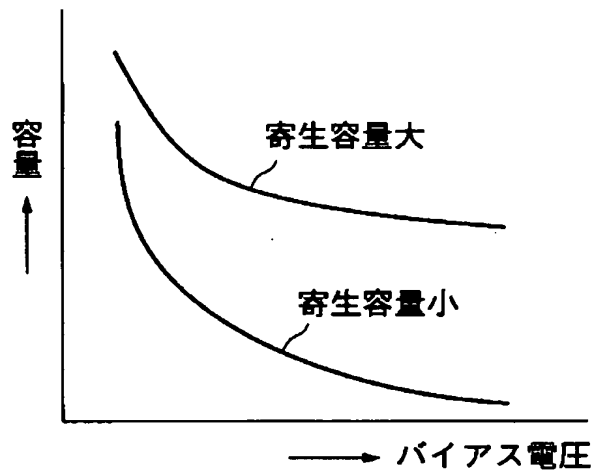
【図 1 6】



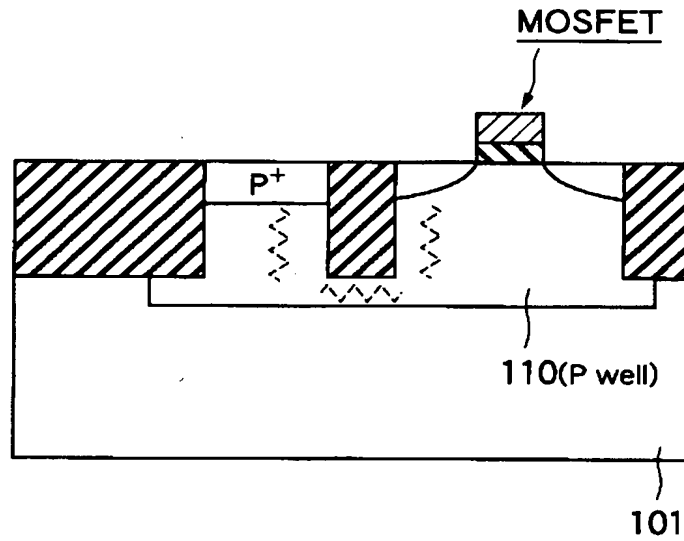
【図 1 7】



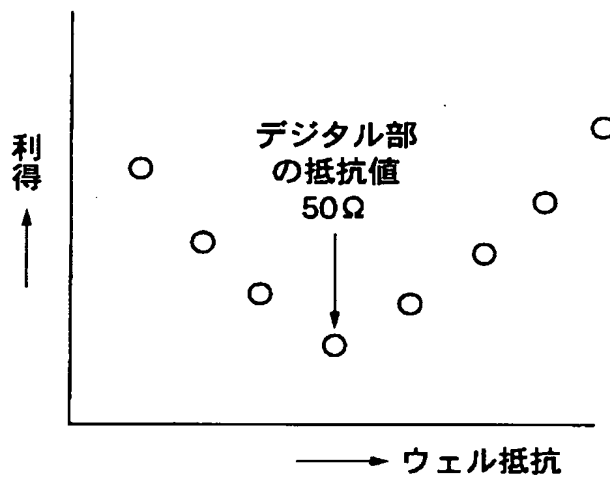
【図 1 8】



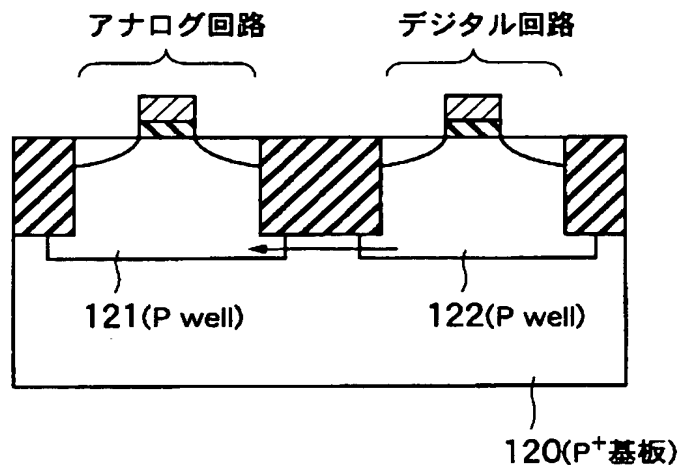
【図 1 9】



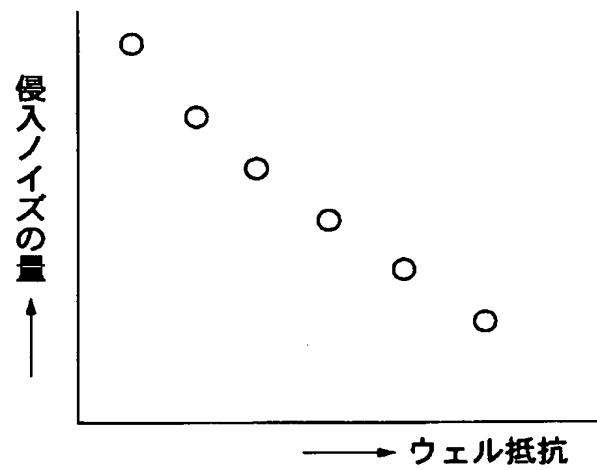
【図 2 0】



【図 2 1】



【図 2 2】



【書類名】 要約書

【要約】

【課題】 回路素子の種類に応じてウェルの抵抗値が設定されていなかった。

【解決手段】 半導体基板 1 1 内に第 1 導電型のウェル領域 1 3 が形成されている。素子分離領域 1 2 により分離されたウェル領域 1 3 の第 1 の領域内に第 2 導電型の半導体層 1 5 形成されている。ウェル領域 1 3 の底部に第 1 導電型の低抵抗領域 1 6 が設けられている。

【選択図】 図 1



出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝